

(11)特許出願公開番号

特開平5-259411

(43)公開日 平成5年(1993)10月8日

技術表示箇所

4 3 3

審査請求 未請求 請求項の数 2 (全 5 頁)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 田中 莊一郎

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

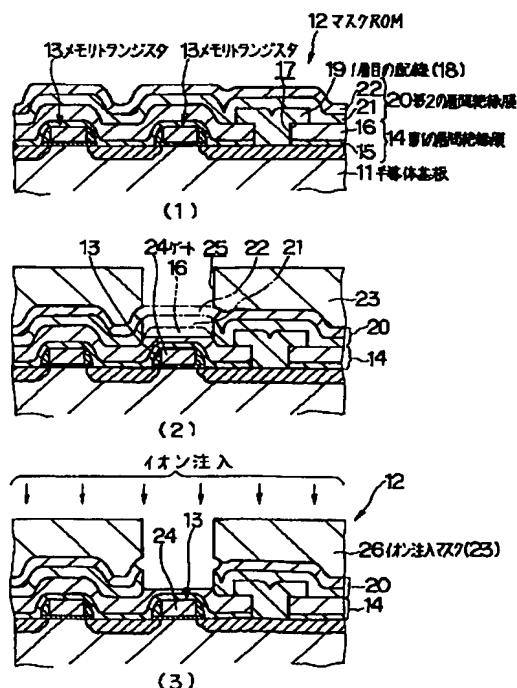
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 2層配線構造のマスクROMのプログラム方法

(57) 【要約】

【目的】 本発明は、２層配線構造のマスクROMにおけるモリトランジスタのゲート上の層間絶縁膜を薄くすることにより、プログラム用不純物の導入エネルギーを低減して、プログラム精度を高めるとともに、TATの短縮を図る。

【構成】 第1の工程で、マスクROM12のメモリトランジスタ13を形成した後、それを覆う第1の層間絶縁膜14を成膜し、次いで1層目の配線19を形成した後、1層目の配線19を覆う第2の層間絶縁膜20を成膜する。その後第2の工程で、メモリトランジスタ13のゲート24上の第2の層間絶縁膜20を除去してさらにその下の第1の層間絶縁膜14を薄膜化する。あるいはゲート24上の第2の層間絶縁膜20を薄膜化する。その後第3の工程で上記ゲート24にプログラム用の不純物を導入する。または、上記第2の工程を、2層目の配線（図示せず）を形成するためのコンタクトホール形成工程と同時に行う。



実施例のプログラム工程図

【特許請求の範囲】

【請求項1】 2層配線構造のマスクROMのプログラム方法であって、

基板にマスクROMのメモリトランジスタを形成した後、各メモリトランジスタを覆う状態に第1の層間絶縁膜を成膜し、次いで1層目の配線を形成した後、当該1層目の配線を覆う状態に第2の層間絶縁膜を成膜する第1の工程と、

前記メモリトランジスタのゲート上における、前記第2の層間絶縁膜を除去してさらに前記第1の層間絶縁膜を薄膜化するか、あるいは前記第2の層間絶縁膜を薄膜化する第2の工程と、

前記ゲートにプログラム用の不純物を導入して、当該メモリトランジスタにプログラムを行う第3の工程とよりなることを特徴とする2層配線構造のマスクROMのプログラム方法。

【請求項2】 請求項1記載の2層配線構造のマスクROMのプログラム方法において、

前記第1の工程を行った後に、2層目の配線を形成するためのコンタクトホールを設ける工程と同時に前記第2の工程を行い、その後前記第3の工程を行うことを特徴とする2層配線構造のマスクROMのプログラム方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、2層配線構造のマスクROMのプログラム方法に関する。

【0002】

【従来の技術】 従来の2層配線構造のマスクROMのプログラム方法を、図3のプログラム工程図により説明する。図3の(1)に示すように、半導体基板31上に、マスクROM32の複数のメモリトランジスタ33を形成する。その後例えば化学的気相成長法によって、上記各メモリトランジスタ33を覆う状態に、第1の層間絶縁膜34を成膜する。

【0003】 次いで通常の配線形成を行う。まず通常のホトリソグラフィーとエッチングとによって、例えばメモリトランジスタ33のソース・ドレイン領域35上における上記第1の層間絶縁膜34にコンタクトホール36を形成する。その後、例えばスパッタ法によって、コンタクトホール36の内部と上記第1の層間絶縁膜34上とに1層目の配線形成層(37)を成膜する。次いで通常のホトリソグラフィーとエッチングとによって、上記1層目の配線形成層(37)で1層目の配線38を形成する。その後例えば化学的気相成長法によって、1層目の配線38を覆う状態に、第2の層間絶縁膜39を成膜する。

【0004】 次いで図3の(2)に示す如く、通常のレジスト塗布技術によって、上記第2の層間絶縁膜39上にレジスト膜よりなるイオン注入マスク40を形成する。次いで通常のホトリソグラフィー技術によって、プ

ログラムを行うメモリトランジスタ33のゲート41上のイオン注入マスク40に開口42を設ける。その後通常のイオン注入法によって、上記第1、第2の層間絶縁膜34、39を通して上記ゲート41に、プログラム用の不純物として、例えばホウ素(B')を導入する。このときのイオン注入エネルギーを例えば400eVに設定する。その後、アッシャー処理等によって、イオン注入マスク40を除去する。そして通常の配線形成技術によって、2層目の配線(図示せず)を形成する。このようにして、マスクROM32のプログラムが行われる。

【0005】

【発明が解決しようとする課題】 しかしながら、上記プログラム方法では、プログラムを行うためのイオン注入を第1、第2の層間絶縁膜を通して行う。このため、メモリトランジスタのゲートにプログラム用の不純物を高エネルギーで注入しなければならない。この結果、当該ゲートに正確なドーズ量でプログラム用の不純物を注入することが困難になる。したがって、メモリトランジスタの電気的特性がばらつくので、読み出し性能が低下する。またマスクROMにプログラムを行うためだけに、イオン注入マスクを形成するホトリソグラフィー工程を行わなければならない。このため、TAT(TurnAround Time)が長くなる。

【0006】 本発明は、短いTATでプログラム精度に優れた2層配線構造のマスクROMのプログラム方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、上記目的を達成するためになされた方法である。すなわち、第1の工程で、基板にマスクROMのメモリトランジスタを形成した後、当該メモリトランジスタを覆う状態に第1の層間絶縁膜を成膜する。次いで1層目の配線を形成した後、当該1層目の配線を覆う状態に第2の層間絶縁膜を成膜する。その後第2の工程で、メモリトランジスタのゲート上の第2の層間絶縁膜を除去して、さらにその下の第1の層間絶縁膜を薄膜化する。あるいはメモリトランジスタのゲート上の第2の層間絶縁膜を薄膜化する。その後第3の工程で、上記ゲートにプログラム用の不純物を導入して、当該メモリトランジスタにプログラムを行う方法である。

【0008】 あるいは上記第1の工程を行った後、2層目の配線を形成するためのコンタクトホールを設ける工程と同時に上記第2の工程を行い、その後上記第3の工程を行う方法である。

【0009】

【作用】 上記方法によれば、メモリトランジスタのゲート上の第2の層間絶縁膜を除去してさらにその下の第1の層間絶縁膜を薄膜化するか、あるいはメモリトランジスタのゲート上の第2の層間絶縁膜を薄膜化するので、

プログラム用の不純物が低いエネルギーでゲートに導入される。このため、プログラム用の不純物の導入量を精度良く制御することが可能になるので、その導入量はほぼ設計値になる。または第2の工程を、2層目の配線を形成するためのコンタクトホールを設ける工程と同時に行うことにより、コンタクトホールを設けるためのホトリソグラフィとプログラムを行う不純物を導入するためマスクを形成するホトリソグラフィとが同時に行える。このため、TAT (Turn Around Time) が短縮される。

【0010】

【実施例】本発明の実施例を図1に示すプログラム工程図により説明する。図では、一例として、2層配線構造のマスクROMを示す。まず図1の(1)に示す第1の工程を行う。この工程では、図に示すように、通常のプロセスによって、半導体基板11にマスクROM12の複数のメモリトランジスタ13を形成する。その後各メモリトランジスタ13を覆う状態に、第1の層間絶縁膜14を形成する。この第1の層間絶縁膜14は例えば2層よりなる。当該第1の層間絶縁膜14の下層は、例えばプラズマによる化学的気相成長（以下CVDと記す）法によって、窒化シリコン（SiN）膜15を、例えば50nmの厚さに成膜することにより形成する。また当該第1の層間絶縁膜14の上層は、例えばプラズマCVD法によって、窒化シリコン膜15の上面に、ホウ素リンシリケートガラス（BPSG）16を、例えば500nmの厚さに成膜することにより形成する。

【0011】次いでホトリソグラフィとエッチングとによって、上記第1の層間絶縁膜14の所定の位置にコンタクトホール17を形成する。続いて例えば通常のスパッタ法によって、上記第1の層間絶縁膜14と上記コンタクトホール17の内部とに、1層目の配線形成膜（18）を、例えばアルミニウム合金膜で成膜する。その後ホトリソグラフィとエッチングとによって、1層目の配線形成膜（18）の不要な部分を除去して1層目の配線19を形成する。

【0012】次いで例えば反応ガスにテトラエトキシラン（TEOS）を用いた熱分解法によるCVD法によって、上記1層目の配線19を覆う状態に、第2の層間絶縁膜20の下層を形成する。この下層は、例えば酸化シリコン（SiO₂）膜21を200nmの厚さに形成する。さらにこの上層は、例えば通常のプラズマCVD法によって、例えば厚さが200nmのリンシリケートガラス（PSG）膜22で形成する。

【0013】続いて図1の(2)に示す第2の工程を行う。この工程では、通常のレジスト塗布技術によって、上記第2の層間絶縁膜20の上面に、レジストよりなるエッチングマスク23を形成する。そしてホトリソグラフィによって、プログラムを行うメモリトランジスタ13のゲート24上におけるエッチングマスク23に開

口25を形成する。その後例えば等方性エッチングによって、上記PSG膜22の2点鎖線で示す部分を、いわゆるテーパエッチングして除去する。この等方性エッチングは、例えばフッ化水素酸（HF+H₂O）中に所定時間浸漬して行う。

【0014】その後例えば異方性エッチングによって、酸化シリコン膜21の1点鎖線で示す部分を除去する。この異方性エッチングは、例えば反応ガスにトリフルオロメタン（CHF₃）またはオクタフルオロシクロブタン（C₄F₈）等を用いた反応性イオンエッチング（RIE）によって行う。このとき、第1の層間絶縁膜14の上層側の酸化シリコン膜16の破線で示す部分を除去してもよい。ただしゲート24上における絶縁性が確保できる厚さに、第1の層間絶縁膜14を残しておく。

【0015】その後図1の(3)に示すように、第3の工程を行う。この工程では、上記エッチングマスク23をイオン注入マスク26にし、通常のイオン注入法によって、上記ゲート24にプログラム用の不純物を導入する。プログラム用の不純物には例えばホウ素（B⁺）を用い、このときのイオン注入エネルギーを例えば300eVに設定する。そして当該メモリトランジスタ13にプログラムを行う。上記の如くして、2層配線構造のマスクROM12のプログラムが終了する。

【0016】上記説明したプログラム方法では、メモリトランジスタ13のゲート24上の第2の層間絶縁膜20を除去してさらにその下の第1の層間絶縁膜14を薄膜化したので、プログラム用の不純物を低いエネルギー（イオン注入エネルギー）で導入することが可能になる。このため、プログラム用の不純物の導入量（イオン注入のドーズ量）のばらつきが低減される。

【0017】上記実施例では、メモリトランジスタ13のゲート24上の第2の層間絶縁膜20を除去してさらにその下の第1の層間絶縁膜14を薄膜化したのが、第2の層間絶縁膜20を薄膜化する、または除去するだけでも、イオン注入エネルギーを低減することが可能になる。よって、イオン注入のドーズ量のばらつきが低減される。

【0018】また図2に示す如く、上記実施例の第1の工程を行った後の第2の工程において、エッチングマスク23に開口25を形成するとともに、当該エッチングマスク23に2層目の配線（図示せず）を形成するためのコンタクトホール形成用の開口27を形成する。その後例えば等方性エッチングによって、PSG膜22の2点鎖線で示す部分をいわゆるテーパエッチングして除去する。続いて例えば異方性エッチングによって、酸化シリコン膜21の1点鎖線で示す部分を除去する。このようにして、ゲート24上の第2の層間絶縁膜20が除去される。それとともに2層目の配線（図示せず）を形成するためのコンタクトホール28が形成される。このとき、PSG膜22が等方性エッチングされるので、コン

タクトホール28の上部側はテーパ形状になる。またコンタクトホール28の底部にエッチング残りが生じるのを防ぐために、通常オーバエッチングを行う。このため、ゲート24上の第1の層間絶縁膜14の上層の一部が除去される。その後前記図1の(3)で説明した第3の工程を行う。

【0019】上記方法では、ゲート24上の第1、第2の層間絶縁膜14、20を薄くする工程と2層目の配線を形成するためのコンタクトホール28を形成する工程とを同時に行える。すなわち、コンタクトホール28を形成する工程のホトリソグラフィーと第1、第2の層間絶縁膜14、20を薄くする工程のホトリソグラフィーとを兼ねて行える。したがって、TAT (Turn Around Time) は短縮される。

【0020】

【発明の効果】以上、説明したように本発明によれば、メモリトランジスタのゲート上の第2の層間絶縁膜を除去してさらにその下の第1の層間絶縁膜を薄膜化するか、あるいはメモリトランジスタのゲート上の第2の層間絶縁膜を薄膜化するので、低いエネルギーでゲートにプログラム用の不純物を導入できる。このため、プログラム用の不純物の導入量のばらつきが低減されて、不純物の導入量がほぼ設計値通りになる。よって、メモリト*

*ランジスタの電気的特性が高められて、メモリトランジスタのプログラム特性の向上が図れる。また不純物を導入するときに用いるイオン注入マスクを形成する第2の工程を、2層目の配線を形成するためのコンタクトホールを形成する工程と同時に行えるので、それぞれの工程で行うホトリソグラフィーを兼ねることが可能になる。このため、TAT (Turn Around Time) を短縮することができる。

【図面の簡単な説明】

【図1】実施例のプログラム工程図である。

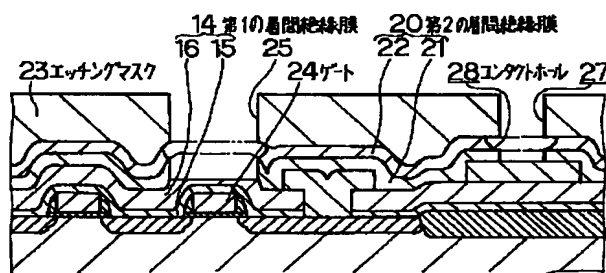
【図2】別の実施例のプログラム方法の説明図である。

【図3】従来例のプログラム工程図である。

【符号の説明】

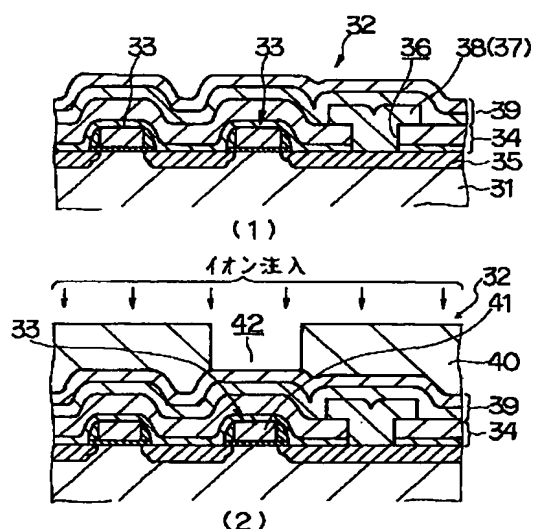
- 11 半導体基板
- 12 マスクROM
- 13 メモリトランジスタ
- 14 第1の層間絶縁膜
- 19 1層目の配線
- 20 第2の層間絶縁膜
- 24 ゲート
- 26 イオン注入マスク
- 28 コンタクトホール

【図2】



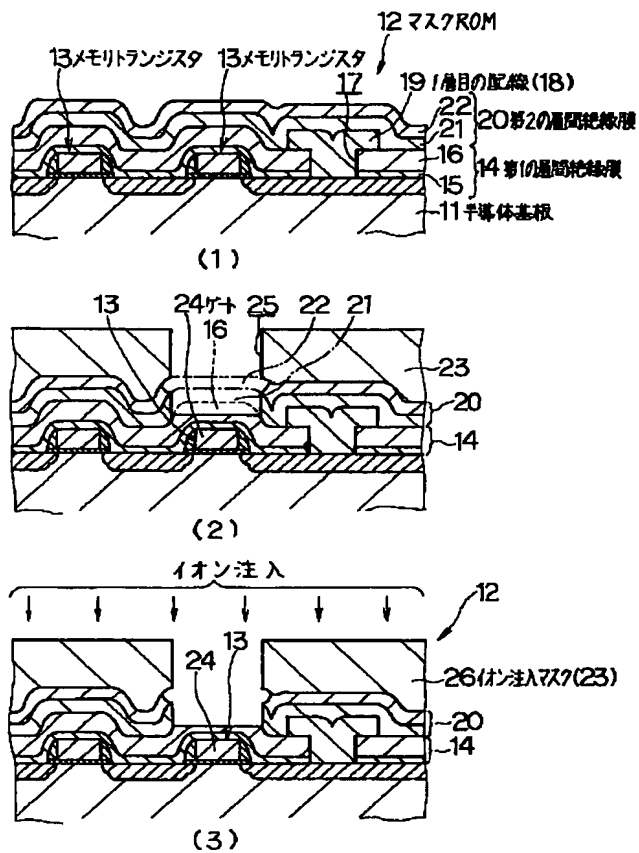
別の実施例のプログラム方法の説明図

【図3】



従来例のプログラム工程図

【図1】



実施例のプログラム工程図